

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yuka HAYAMI, et al.

Serial Number: Not Yet Assigned

Filed: October 30, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE FABRICATION METHOD

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-317598, filed on October 31, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Sadao Kinashi
Reg. No. 48,075

Atty. Docket No.: 032070
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SK/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月31日

出 願 番 号
Application Number:

特願2002-317598

[ST.10/C]:

[JP 2002-317598]

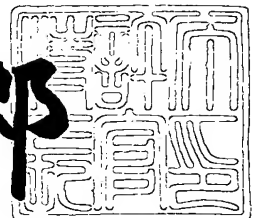
出 願 人
Applicant(s):

富士通株式会社

2003年 3月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015626

【書類名】 特許願

【整理番号】 0241399

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/31

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 早見 由香

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 王 純志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 齋木 孝志

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 加勢 正隆

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程とを有し、

前記第 1 の灰化処理工程における灰化処理時間は、前記第 2 の灰化処理工程における灰化処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

酸素より成る反応ガスを用いて前記第 1 のレジスト膜を灰化する第 1 の灰化処

理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、

前記第 1 のレジスト膜を薬液を用いて除去する第 1 の薬液処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程と、

前記第 2 のレジスト膜を薬液を用いて除去する第 2 の薬液処理工程とを有し、

前記第 1 の薬液処理工程における薬液処理時間は、前記第 2 の薬液処理工程における薬液処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、

前記第 1 の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第 1 のレジスト膜を除去し、

前記第 2 の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第 2 のレジスト膜を除去する

ことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 3 又は 4 記載の半導体装置の製造方法において、

前記第 1 の灰化処理工程の後、前記第 1 の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第 1 のレジスト膜を除去する第 3 の薬液処理工程を更に有し、

前記第 2 の灰化処理工程の後、前記第 2 の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第 2 のレジスト膜を除去する第 4 の薬液処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第 1 の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第 1 の洗浄処理工程と、

前記第 1 の不純物拡散領域中の前記第 1 のドーパント不純物を活性化するための熱処理を行う第 1 の熱処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第 2 の洗浄処理工程と、

前記第 2 の不純物拡散領域中の前記第 2 のドーパント不純物を活性化するため

の熱処理を行う第 2 の熱処理工程とを有し、

前記第 1 の洗浄処理工程における洗浄処理時間は、前記第 2 の洗浄処理工程における洗浄処理時間より短い

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、

前記第 1 の洗浄処理工程及び前記第 2 の洗浄処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板をそれぞれ洗浄することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 又は 7 記載の半導体装置の製造方法において、

前記第 1 の不純物拡散領域を形成する工程の後で前記第 1 の洗浄処理工程の前に、又は、前記第 1 の洗浄処理工程の後で前記第 1 の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第 3 の洗浄処理工程を更に有し、

前記第 2 の不純物拡散領域を形成する工程の後で前記第 2 の洗浄処理工程の前に、又は、前記第 2 の洗浄処理工程の後で前記第 2 の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第 4 の洗浄処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の微細化に伴ってチャネル長が短くなると、短チャネル効果が顕著となり、MOS トランジスタの正常な動作が得られなくなる。短チャネル効果を防止する技術として、近時では、エクステンションソース／ドレイン構造を有する半導体装置が注目されている。

【 0 0 0 3 】

PMOSトランジスタのエクステンション領域を形成する際には、NMOSトランジスタが形成される領域をフォトリジスト膜で覆い、ゲート電極とフォトリジスト膜とをマスクとして、ドーパント不純物を半導体基板に導入することにより、エクステンション領域を形成する。この後、フォトリジスト膜が剥離される。

【0004】

一方、NMOSトランジスタのエクステンション領域を形成する際には、PMOSトランジスタが形成される領域をフォトリジスト膜で覆い、ゲート電極とフォトリジスト膜とをマスクとして、ドーパント不純物を半導体基板に導入することにより、エクステンション領域を形成する。この後、フォトリジスト膜が剥離される。

【0005】

エクステンションソース／ドレイン構造のMOSトランジスタでは、短チャネル効果を抑制しうるため、より微細な半導体装置を提供することが可能となる。

【0006】

【特許文献1】

特開平6-204243号公報

【特許文献2】

特開平6-209081号公報

【0007】

【発明が解決しようとする課題】

しかしながら、フォトリジスト膜を除去する際には、灰化处理や薬液処理が行われる。灰化处理の際には、エクステンション領域が酸化されてしまう。また、薬液処理の際には、エクステンション領域が酸化及びエッチングされてしまう。このため、エクステンション領域における電気抵抗が高くなってしまう傾向があった。このため、エクステンション領域における電気抵抗をひくく抑制しうる技術が待望されていた。

【0008】

本発明の目的は、エクステンション領域における電気抵抗を低く抑制しうる半

導体装置の製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記目的は、半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程とを有し、前記第 1 の灰化処理工程における灰化処理時間は、前記第 2 の灰化処理工程における灰化処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 0 】

また、上記目的は、半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、酸素より成る反応ガスを用いて前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、前記第 2 のレジスト膜、前記ゲート電極及び前記

サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程とを有することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 1 】

また、上記目的は、半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、前記第 1 のレジスト膜を薬液を用いて除去する第 1 の薬液処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程と、前記第 2 のレジスト膜を薬液を用いて除去する第 2 の薬液処理工程とを有し、前記第 1 の薬液処理工程における薬液処理時間は、前記第 2 の薬液処理工程における薬液処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 2 】

また、上記目的は、半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第 1 の不純物拡散領域を形成する工程と、前記半導体基板を薬液を用いて洗浄する第 1 の洗浄処理工程と、前記第 1 の不純物拡散領域中の前記第 1 のドーパント不純物を活

性化するための熱処理を行う第 1 の熱処理工程と、前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、前記半導体基板を薬液を用いて洗浄する第 2 の洗浄処理工程と、前記第 2 の不純物拡散領域中の前記第 2 のドーパント不純物を活性化するための熱処理を行う第 2 の熱処理工程とを有し、前記第 1 の洗浄処理工程における洗浄処理時間は、前記第 2 の洗浄処理工程における洗浄処理時間より短いことを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 3 】

【発明の実施の形態】

本発明の一実施形態による半導体装置の製造方法を図 1 乃至図 1 5 を用いて説明する。図 1 乃至図 7 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【 0 0 1 4 】

まず、図 1 (a) に示すように、例えばシリコンより成る半導体基板 1 0 に、素子領域を画定する素子分離領域 1 2 を形成する。素子分離領域 1 2 は、例えば S T I (Shallow Trench Isolation) 法により形成することができる。

【 0 0 1 5 】

次に、例えばスピコート法により、全面に、フォトレジスト膜 (図示せず) を形成する。

【 0 0 1 6 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、N M O S トランジスタが形成される領域 1 4 n を開口する開口部 (図示せず) を形成する。

【 0 0 1 7 】

次に、フォトレジスト膜をマスクとして、p 型のドーパント不純物を導入することにより、N M O S トランジスタが形成される領域 1 4 n における半導体基板 1 0 内に、p 形ウェル 1 6 p を形成する。

【 0 0 1 8 】

この後、フォトレジスト膜を除去、即ち剥離する。

【 0 0 1 9 】

次に、例えばスピコート法により、全面に、フォトレジスト膜（図示せず）を形成する。

【 0 0 2 0 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、PMOSトランジスタが形成される領域 1 4 p を開口する開口部（図示せず）を形成する。

【 0 0 2 1 】

次に、フォトレジスト膜をマスクとして、n型のドーパント不純物を導入することにより、PMOSトランジスタが形成される領域 1 4 p における半導体基板 1 0 内に、n形ウェル 1 6 n を形成する。

【 0 0 2 2 】

この後、フォトレジスト膜を除去する。

【 0 0 2 3 】

次に、全面に、膜厚 1 . 1 n m のゲート絶縁膜 1 8 を形成する。ゲート絶縁膜 1 8 は、例えば熱酸化法により形成することできる。

【 0 0 2 4 】

次に、全面に、膜厚 1 0 0 n m のポリシリコン膜を形成する。この後、フォトリソグラフィ技術を用い、ポリシリコン膜をゲート電極の形状にパターニングする。パターニングの際には、例えば異方性エッチングを用いる。こうして、ポリシリコンより成るゲート電極 2 0 が形成される。

【 0 0 2 5 】

次に、図 1 （ b ） に示すように、例えばスピコート法により、全面に、フォトレジスト膜 2 2 を形成する。

【 0 0 2 6 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 2 2 に、NMOSトランジスタが形成される領域 1 4 n を開口する開口部 2 4 を形成する。

【 0 0 2 7 】

次に、例えばイオン注入法により、フォトレジスト膜 2 4 とゲート電極 2 0 と

をマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に p 型のドーパント不純物を導入する。p 型のドーパント不純物としては、例えば I n を用いることができる。イオン注入条件は、例えば、加速エネルギーを 1 5 0 k e V 以下とし、ドーズ量を $5 \times 1 0^{13} \text{ cm}^{-2}$ とする。こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、p 型のポケット領域 2 6 が形成される。

【 0 0 2 8 】

なお、ここでは、p 型のドーパント不純物として I n を導入する場合を例に説明したが、p 型のドーパント不純物が I n に限定されるものではなく、例えばボロンを用いてもよい。

【 0 0 2 9 】

次に、図 2 (a) に示すように、例えばイオン注入法により、フォトリジスト膜 2 2 とゲート電極 2 0 とをマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば A s 、 P 又は S b を用いることができる。イオン注入条件は、例えば、加速エネルギーを 5 k e V 以下とし、ドーズ量を $1 \times 1 0^{15} \text{ cm}^{-2}$ 程度とする。

【 0 0 3 0 】

こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8 、即ちエクステンション領域が形成される。

【 0 0 3 1 】

次に、フォトリジスト膜 2 2 を除去、即ち剥離する。フォトリジスト膜を除去する際には、まず、フォトリジスト膜を灰化する灰化处理、即ちアッシングを行い、この後、灰化されたフォトリジスト膜を薬液を用いて除去する薬液処理、即ちウェット処理を行う。

【 0 0 3 2 】

まず、フォトリジスト膜 2 2 に対する灰化处理について説明する。

【 0 0 3 3 】

フォトリジスト膜 2 2 を灰化する際には、 O_2 ガスと CF_4 ガスとフォーミング

ガスとから成る混合ガスを用いる。 CF_4 ガスは、フォトレジスト膜の剥離を促進するためのものである。フォーミングガスは、フォトレジストの残渣が残るのを防止するためのものである。フォーミングガスとしては、例えば、 N_2 ガスと H_2 ガスとから成る混合ガス、又は、 N_2 ガスと He ガスとから成る混合ガスを用いる。フォーミングガスの大部分は N_2 ガスであり、残りの数パーセントが H_2 ガス又は He ガスである。

【0034】

フォトレジスト膜22に対する灰化处理時間は、後工程におけるフォトレジスト膜44、52（図5（a）、図5（b）参照）に対する灰化处理時間より、短くなるように設定する。具体的には、フォトレジスト膜22に対する灰化处理時間は、後工程におけるフォトレジスト膜44、52に対する灰化处理時間の0.7倍以下に設定する。更には、フォトレジスト膜22に対する灰化处理時間は、後工程におけるフォトレジスト膜44、52に対する灰化处理時間の0.5倍以下に設定する。フォトレジスト膜22に対する灰化处理時間を短く設定することにより、ゲート電極20の両側の半導体基板10の表面が過度に酸化されてしまうのを防止することが可能となる。但し、フォトレジスト膜22に対する灰化处理時間があまりに短すぎると、フォトレジスト膜22が除去できなくなる虞があるため、フォトレジスト膜22の除去が可能な程度に灰化处理時間を適宜設定することが望ましい。フォトレジスト膜22の灰化处理の際に O_2 ガスと CF_4 ガスとフォーミングガスとから成る混合ガスを用いる場合には、フォトレジスト膜22の灰化处理を行う時間は、例えば60秒とする。

【0035】

なお、ここでは、フォトレジスト膜22の灰化处理の際に O_2 ガスと CF_4 ガスとフォーミングガスとから成る混合ガスを用いたが、 O_2 ガスのみを反応ガスとして用いてフォトレジスト膜22を灰化してもよい。フォトレジスト膜22を灰化处理の際に反応ガスとして O_2 ガスのみを用いた場合には、半導体基板10の酸化量が少なくなる傾向がある。このため、フォトレジスト膜22を灰化处理する際に反応ガスとして O_2 ガスのみを用いる場合には、灰化处理時間をあまり短くしなくてもよい。フォトレジスト膜22の灰化处理の際に反応ガスとして O_2

ガスのみを用いる場合には、灰化処理時間は、例えば 1 8 0 秒とする。

【 0 0 3 6 】

次に、灰化されたフォトレジスト膜 2 2 を薬液により除去する薬液処理について説明する。

【 0 0 3 7 】

薬液処理においては、まず、S P M (Sulfuric acid - Hydrogen Peroxide Mixture) 液を用いてフォトレジスト膜 2 2 を除去し、S P M 液で除去しきれないフォトレジスト膜 2 2 の残渣を A P M (Ammonia - Hydrogen Peroxide Mixture) 液を用いて除去する。S P M 液は、硫酸と過酸化水素とが混合されて成る薬液である。A P M 液は、アンモニアと過酸化水素と水とが混合されて成る薬液である。

【 0 0 3 8 】

まず、S P M 液による薬液処理について説明する。

【 0 0 3 9 】

S P M 液における硫酸と過酸化水素との混合比は、例えば 4 : 1 とする。S P M 液による薬液処理の時間は、例えば 2 0 分とする。

【 0 0 4 0 】

次に、A P M 液による薬液処理について説明する。

【 0 0 4 1 】

A P M 液におけるアンモニアと過酸化水素と水との混合比は、例えば 1 : 1 : 5 とする。

【 0 0 4 2 】

なお、A P M 液におけるアンモニアと過酸化水素と水との混合比は、1 : 1 : 5 に限定されるものではなく、適宜設定すればよい。

【 0 0 4 3 】

フォトレジスト膜を A P M 液により除去する薬液処理時間は、後工程においてフォトレジスト膜 4 4、5 2 (図 5 (a)、図 5 (b) 参照) を A P M 液により除去する薬液処理時間より、短く設定する。具体的には、フォトレジスト膜 2 2 を A P M 液により除去する薬液処理時間は、後工程においてフォトレジスト膜 4

4、52をAPM液により除去する薬液処理時間の0.7倍以下に設定する。更には、フォトレジスト膜22をAPM液により除去する薬液処理時間は、後工程においてフォトレジスト膜44、52をAPM液により除去する薬液処理時間の0.5倍以下に設定する。ここでは、APM液による薬液処理時間を、例えば300秒とする。フォトレジスト膜22をAPM液により除去する薬液処理時間を短く設定することにより、ゲート電極20の両側の半導体基板10の表面がAPM液により大きくエッチングされてしまうのを防止することが可能となる。但し、フォトレジスト膜22をAPM液により除去する薬液処理時間があまりに短すぎると、フォトレジスト膜22の残渣が残ってしまう虞があるため、フォトレジスト膜22の残渣の除去が可能な程度にAPM液による薬液処理時間を適宜設定することが望ましい。

【0044】

こうして、フォトレジスト膜22が除去される。

【0045】

次に、図2(b)に示すように、例えばスピコート法により、全面に、フォトレジスト膜30を形成する。

【0046】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜30に、PMOSトランジスタが形成される領域14pを開口する開口部32を形成する。

【0047】

次に、例えばイオン注入法により、フォトレジスト膜30とゲート電極20とをマスクとして、ゲート電極20の両側の半導体基板10内にn型のドーパント不純物を導入する。n型のドーパント不純物としては、例えばSbを用いることができる。イオン注入条件は、例えば、加速エネルギーを150keV以下とし、ドーズ量を $5 \times 10^{13} \text{ cm}^{-2}$ 程度とする。こうして、ゲート電極20の両側の半導体基板10内に、n型のポケット領域34が形成される。

【0048】

次に、図3(a)に示すように、例えばイオン注入法により、フォトレジスト膜30とゲート電極20とをマスクとして、ゲート電極20の両側の半導体基板

10 内に、p 型のドーパント不純物を導入する。p 型のドーパント不純物としては、例えば B を用いることができる。イオン注入条件は、例えば、加速エネルギーを 1 keV 以下とし、ドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 程度とする。こうして、ゲート電極 20 の両側の半導体基板 10 内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 36、即ちエクステンション領域が形成される。

【0049】

次に、フォトリジスト膜 30 を除去する。フォトリジスト膜 30 は、図 2 (a) を用いて上述した半導体装置の製造方法と同様にして除去すればよい。即ち、フォトリジスト膜 30 を灰化する灰化处理時間を短く設定し、また、フォトリジスト膜 30 を APM 液により除去する薬液処理時間を短く設定する。

【0050】

こうして、フォトリジスト膜 30 が除去される (図 3 (b) 参照)。

【0051】

次に、エクステンション領域 28、36 中のドーパント不純物を活性化するための熱処理の前処理として、半導体基板 10 の表面を洗浄する洗浄処理を行う。

【0052】

洗浄処理の際は、APM 液を用いた洗浄処理と、HPM (Hydrochloric acid - Hydrogen Peroxide Mixture) 液を用いた洗浄処理とを行う。HPM 液とは、塩酸と過酸化水素と水とが混合されて成る薬液である。APM 液は、主として、半導体基板 10 の表面に付着したパーティクルや有機系の不純物を除去するために用いられる。HPM 液は、主として、半導体基板 10 の表面に存在する微量な金属を除去するために用いられる。

【0053】

まず、APM 液による洗浄処理について説明する。

【0054】

APM 液におけるアンモニアと過酸化水素と水との混合比は、例えば 1 : 1 : 5 とする。

【0055】

なお、A P M液におけるアンモニアと過酸化水素と水との混合比は、1 : 1 : 5に限定されるものではなく、適宜設定すればよい。

【 0 0 5 6 】

エクステンション領域 2 8、3 6 中のドーパント不純物を活性化する熱処理の前処理においては、A P M液による洗浄処理時間を短く設定する。具体的には、エクステンション領域 2 8、3 6 に対する熱処理の前処理における A P M液による洗浄処理時間は、後工程における深い不純物拡散領域 4 8、5 6（図 5（a）、図 5（b）参照）に対する熱処理の前処理における A P M液による洗浄処理時間の 0. 7 倍以下に設定する。更には、エクステンション領域 2 8、3 6 に対する熱処理の前処理における A P M液による洗浄処理時間は、後工程における深い不純物拡散領域 4 8、5 6 に対する熱処理の前処理における A P M液による洗浄処理時間の 0. 5 倍以下に設定する。ここでは、A P M液を用いた洗浄処理の時間を、例えば 3 0 0 秒とする。エクステンション領域 2 8、3 6 中のドーパント不純物を活性化する熱処理の前処理における A P M液による洗浄処理時間を短く設定することにより、ゲート電極 2 0 の両側のエクステンション領域 2 8、3 6 が大きくエッチングされてしまうのを防止することが可能となる。但し、A P M液による洗浄処理時間があまりに短すぎると、パーティクルや有機系の不純物を除去しきれない虞があるため、パーティクルや有機系の不純物の除去が可能な程度に A P M液による洗浄処理時間を適宜設定することが望ましい。

【 0 0 5 7 】

次に、H P M液による洗浄処理について説明する。

【 0 0 5 8 】

H P M液における塩酸と過酸化水素と水との混合比は、例えば 1 : 1 : 5 とする。H P M液による洗浄処理時間は、例えば 6 0 0 秒とする。

【 0 0 5 9 】

こうして、半導体基板 1 0 の表面が洗浄される。

【 0 0 6 0 】

次に、例えば R T A（Rapid Thermal Annealing）法により、エクステンション領域 2 8、3 6 中のドーパント不純物を活性化するための熱処理を行う。熱処

理温度は、例えば 8 0 0 ~ 1 1 0 0 ℃ とする。熱処理時間は、例えば数十秒以下とする。

【 0 0 6 1 】

次に、図 4 (a) に示すように、全面に、例えば減圧熱 C V D 法により、膜厚 1 0 0 n m のシリコン酸化膜 3 8 を形成する。

【 0 0 6 2 】

次に、図 4 (b) に示すように、シリコン酸化膜 3 8 を異方性エッチングする。エッチングガスとしては、例えば、ハイドロフルオロカーボンを用いる。こうして、ゲート電極 2 0 の側壁部分に、シリコン酸化膜 3 8 から成る積層構造のサイドウォール絶縁膜 4 2 が形成される。

【 0 0 6 3 】

次に、図 5 (a) に示すように、例えばスピコート法により、全面に、フォトレジスト膜 4 4 を形成する。

【 0 0 6 4 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 4 4 に、N M O S トランジスタが形成される領域 1 4 n を開口する開口部 4 6 を形成する。

【 0 0 6 5 】

次に、例えばイオン注入法により、フォトレジスト膜 4 4 、ゲート電極 2 0 及びサイドウォール絶縁膜 4 2 をマスクとして、半導体基板 1 0 内に n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば A s 又は P を用いることができる。イオン注入条件は、例えば、加速エネルギーを 4 0 k e V 以下とし、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2}$ 以下とする。

【 0 0 6 6 】

こうして、側壁部分にサイドウォール絶縁膜 4 2 が形成されたゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の深い領域を構成する n 型の不純物拡散領域 4 8 が形成される。深い不純物拡散領域 4 8 は、エクステンション領域 2 8 よりキャリア濃度が高くなるように形成される。エクステンション領域 2 8 、即ち浅い不純物拡散領域と深い不純物拡散領域 4 8 とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層 5

0 が構成される。

【 0 0 6 7 】

次に、フォトレジスト膜 4 4 を除去する。フォトレジスト膜 4 4 を除去する際には、まず、フォトレジスト膜 4 4 を灰化する灰化処理を行い、この後、灰化されたフォトレジスト膜 4 4 を薬液により除去する薬液処理を行う。

【 0 0 6 8 】

まず、フォトレジスト膜 4 4 に対する灰化処理について説明する。

【 0 0 6 9 】

フォトレジスト膜 4 4 を灰化処理する際には、例えば、 O_2 ガスと CF_4 ガスとフォーミングガスとから成る混合ガスを用いる。フォトレジスト膜 4 4 の灰化処理を行う時間は、例えば 1 8 0 秒とする。なお、フォトレジスト膜 4 4 の灰化処理時間を、フォトレジスト膜 2 2、3 0 を灰化処理する時間より長く設定しているのは、フォトレジスト膜 4 4 を除去するための時間に十分なマージンを確保しているためである。フォトレジスト膜 4 4 の灰化処理を行う際には、エクステンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分は、サイドウォール絶縁膜 4 2 により覆われているため、エクステンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分が、灰化処理により大きく酸化されることはなく、特段の問題は生じない。

【 0 0 7 0 】

次に、灰化されたフォトレジスト膜 4 4 は、薬液を用いた薬液処理により除去する。薬液処理の際には、まず、SPM液を用いてフォトレジスト膜 4 4 を除去し、SPM液で除去しきれないフォトレジスト膜 4 4 の残渣をAPM液を用いて除去する。

【 0 0 7 1 】

まず、SPM液による薬液処理について説明する。

【 0 0 7 2 】

SPM液における硫酸と過酸化水素との混合比は、例えば 4 : 1 とする。SPM液を用いた薬液処理の時間は、例えば 2 0 分とする。

【 0 0 7 3 】

次に、APM液による薬液処理について説明する。

【0074】

APM液におけるアンモニアと過酸化水素と水との混合比は、例えば1：1：5とする。APMを用いた薬液処理の時間は、例えば600秒とする。フォトリジスト膜44をAPM液により除去する薬液処理時間を、フォトリジスト膜22、30をAPM液により除去する薬液処理時間より長く設定しているのは、フォトリジスト膜44を除去するための時間に十分なマージンを確保しているためである。フォトリジスト膜44をAPM液により薬液処理する際には、エクステンション領域28、36のうちのゲート電極20に近い部分は、サイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分がAPM液により大きくエッチングされてしまうことはなく、特段の問題は生じない。

【0075】

こうして、フォトリジスト膜44が除去される。

【0076】

次に、図5（b）に示すように、例えばスピコート法により、全面に、フォトリジスト膜52を形成する。

【0077】

次に、フォトリソグラフィ技術を用い、フォトリジスト膜52に、PMOSトランジスタが形成される領域14pを開口する開口部54を形成する。

【0078】

次に、例えばイオン注入法により、フォトリジスト膜52、ゲート電極20及びサイドウォール絶縁膜42をマスクとして、半導体基板20内にp型のドーパント不純物を導入する。p型のドーパント不純物としては、例えばBを用いることができる。イオン注入条件は、例えば、加速エネルギーを7keV以下とし、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2}$ 以下とする。

【0079】

こうして、側壁部分にサイドウォール絶縁膜42が形成されたゲート電極20の両側の半導体基板10内に、エクステンションソース／ドレイン構造の深い傾

域を構成するp型の不純物拡散領域56が形成される。深い不純物拡散領域56は、エクステンション領域36よりキャリア濃度が高くなるように形成される。エクステンション領域36、即ち浅い不純物拡散領域と深い不純物拡散領域56とにより、エクステンションソース/ドレイン構造のソース/ドレイン拡散層58が構成される。

【0080】

次に、フォトリジスト膜52を除去する。フォトリジスト膜52は、図5(a)を用いて上述した半導体装置の製造方法と同様にして除去する。即ち、フォトリジスト膜52を灰化するための灰化处理時間を十分に長く設定し、フォトリジスト膜52をAPM液により除去するための薬液処理時間を十分に長く設定する。

【0081】

こうして、フォトリジスト膜52が除去される(図6(a)参照)。

【0082】

次に、深い不純物拡散領域48、56中のドーパント不純物を活性化するための熱処理の前処理として、半導体基板10の表面を洗浄するための洗浄処理を行う。

【0083】

洗浄処理の際には、APM液による洗浄処理と、HPM液による洗浄処理とを行う。

【0084】

まず、APMによる洗浄処理について説明する。

【0085】

APM液におけるアンモニアと過酸化水素と水との混合比は、例えば1:1:5とする。なお、APM液におけるアンモニアと過酸化水素と水との混合比は、1:1:5に限定されるものではなく、適宜設定すればよい。APM液による洗浄処理時間は、例えば600秒とする。APM液による薬液処理の時間を長く設定しているのは、パーティクルや有機系の不純物を除去する時間に十分なマージンを確保しているためである。APM液による薬液処理を行う際には、エクステ

ンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分は、サイドウォール絶縁膜 4 2 により覆われているため、エクステンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分が A P M 液により大きくエッチングされてしまうことはなく、特段の問題は生じない。

【 0 0 8 6 】

次に、H P M 液による洗浄処理について説明する。

【 0 0 8 7 】

H P M 液における塩酸と過酸化水素と水との混合比は、例えば 1 : 1 : 5 とする。H P M 液による洗浄処理時間は、例えば 6 0 0 秒とする。

【 0 0 8 8 】

こうして、半導体基板 1 0 の表面が洗浄される。

【 0 0 8 9 】

なお、ここでは、A P M 液による洗浄処理を行った後に H P M 液による洗浄処理を行ったが、H P M 液による洗浄処理を行った後に A P M 液による洗浄処理を行ってもよい。

【 0 0 9 0 】

次に、深い不純物拡散領域 4 8、5 6 中のドーパント不純物を活性化するための熱処理を行う。熱処理温度は、例えば 8 0 0 ~ 1 1 0 0 ℃ とする。熱処理時間は、例えば数十秒以下とする。

【 0 0 9 1 】

次に、図 6 (b) に示すように、全面に、例えばスパッタ法により、例えば C o より成る金属膜 6 0 を形成する、金属膜 6 0 の膜厚は、例えば 5 n m 程度とする。

【 0 0 9 2 】

次に、熱処理を行うことにより、金属膜 6 0 の C o と半導体基板 1 0 の S i とを反応させる。こうして、例えばコバルトシリサイド膜が形成される。この後、S i と反応しなかった金属膜 6 0 を除去する。こうして、コバルトシリサイドよくなるソース／ドレイン電極 6 2 が形成される（図 7 参照）。

【 0 0 9 3 】

こうしてNMOSトランジスタ64nとPMOSトランジスタ64pとを有する本実施形態による半導体装置が製造される。

【0094】

本実施形態による半導体装置の製造方法は、フォトリジスト膜22、30を除去するための灰化处理時間を、フォトリジスト膜44、52を除去するための灰化处理時間より短く設定することに主な特徴がある。

【0095】

提案されている半導体装置の製造方法においては、いずれのフォトリジスト膜を除去する際にも同じ条件でフォトリジスト膜を灰化していた。このため、エクステンション領域が大きく酸化されてしまい、エクステンション領域における電気抵抗が上昇してしまっていた。

【0096】

これに対し、本実施形態による半導体装置の製造方法では、フォトリジスト膜22、30を除去する際の灰化处理時間を、フォトリジスト膜44、52を除去するための灰化处理時間より短く設定する。このため、フォトリジスト膜22、30を除去する際に、エクステンション領域28、36が大きく酸化されてしまうのを防止することができる。一方、フォトリジスト膜44、52を除去する際には、フォトリジスト膜44、52を確実に除去しうよう灰化处理時間を長く設定する。フォトリジスト膜44、52を除去する際には、エクステンション領域28、36のうちのゲート電極20に近い部分はサイドウォール絶縁膜42により覆われているため、エクステンション領域28、36のうちのゲート電極20に近い部分が大きく酸化されてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域28、36における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【0097】

また、本実施形態による半導体装置の製造方法は、フォトリジスト膜22、30を除去する際のAPM液による薬液処理時間を、フォトリジスト膜44、52を除去する際のAPM液による薬液処理時間より短く設定することにも主な特徴

の一つがある。

【 0 0 9 8 】

提案されている半導体装置の製造方法においては、いずれのフォトリソ膜を除去する際にも同じ条件で APM 液による薬液処理を行っていた。このため、エクステンション領域が APM 液により大きくエッチングされてしまい、エクステンション領域における電気抵抗が上昇してしまっていた。

【 0 0 9 9 】

これに対し、本実施形態による半導体装置の製造方法では、フォトリソ膜 22、30 を除去する際の APM 液による薬液処理時間を、フォトリソ膜 44、52 を除去する際の APM 液による薬液処理時間より短く設定する。このため、フォトリソ膜 22、30 を除去する際に、エクステンション領域 28、36 が大きく除去されてしまうのを防止することができる。一方、フォトリソ膜 44、52 を除去する際には、フォトリソ膜 44、52 を確実に除去しうよう APM 液による薬液処理を十分な時間で行う。フォトリソ膜 44、52 を除去する際には、エクステンション領域 28、36 のうちのゲート電極 20 に近い部分はサイドウォール絶縁膜 42 により覆われているため、エクステンション領域 28、36 のうちのゲート電極 20 に近い部分が大きくエッチングされてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域 28、36 における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【 0 1 0 0 】

また、本実施形態による半導体装置の製造方法は、エクステンション領域 28、36 中のドーパント不純物を活性化するための熱処理の前に行われる APM 液による洗浄処理の時間を、深い不純物拡散領域 48、56 中のドーパント不純物を活性化するための熱処理の前に行われる APM 液による洗浄処理の時間より、短く設定することにも主な特徴の一つがある。

【 0 1 0 1 】

本実施形態による半導体装置の製造方法では、エクステンション領域 28、36 中のドーパント不純物を活性化するための熱処理の前に行われる APM 液によ

る洗浄処理の時間を、深い不純物拡散領域 4 8、5 6 中のドーパント不純物を活性化するための熱処理の前に行われる A P M 液による洗浄処理の時間より短く設定するため、エクステンション領域 2 8、3 6 中のドーパント不純物を活性化するための熱処理の前に行われる A P M 液による洗浄処理の際に、エクステンション領域 2 8、3 6 が大きくエッチングされてしまうのを防止することができる。一方、深い不純物拡散領域 4 8、5 6 中のドーパント不純物を活性化するための熱処理の前に行われる A P M 液による洗浄処理の際には、パーティクルや有機系の不純物を確実に除去しうるように A P M 液による洗浄処理を長く設定する。深い不純物拡散領域 4 8、5 6 中のドーパント不純物を活性化するための熱処理の前に行われる A P M 液による洗浄処理の際には、エクステンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分はサイドウォール絶縁膜 4 2 により覆われているため、エクステンション領域 2 8、3 6 のうちのゲート電極 2 0 に近い部分が大きく酸化されてしまうことはなく、特段の問題は生じない。従って、本実施形態によれば、エクステンション領域 2 8、3 6 における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【 0 1 0 2 】

(評価結果)

次に、本実施形態による半導体装置の製造方法の評価結果について、図 8 乃至図 1 5 を用いて説明する。

【 0 1 0 3 】

図 8 は、フォトリジスト膜に対する灰化処理の時間と半導体基板表面の酸化量との関係を示すグラフである。横軸は、フォトリジスト膜に対する灰化処理の時間、即ちアッシング時間を示している。縦軸は、半導体基板表面の酸化量を示している。◆印は、灰化処理の際に O_2 ガスと CF_4 ガスとフォーミングガスとから成る混合ガスを用いた場合を示している。■印は、灰化処理の際に O_2 ガスのみを用いた場合を示している。

【 0 1 0 4 】

図 8 から分かるように、灰化処理時間が長くなるに伴って酸化量は増加する傾向にある。このことから、灰化処理時間を短く設定することにより、酸化量を小

さく抑え得ることがわかる。

【 0 1 0 5 】

また、図 8 から分かるように、灰化処理の際に用いるガスによって、半導体基板表面の酸化量が異なっている。 O_2 ガスのみを用いて灰化処理を行った場合には、混合ガスを用いて灰化処理を行った場合と比較して酸化量が小さく抑えられている。

【 0 1 0 6 】

図 9 は、フォトリジスト膜に対する灰化処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸は、フォトリジスト膜に対する灰化処理の時間を示している。縦軸は、エクステンション領域における電気抵抗を示している。◆印は、灰化処理の際に O_2 ガスと CF_4 ガスとフォーミングガスとから成る混合ガスを用いた場合を示している。■印は、灰化処理の際に O_2 ガスのみを用いた場合を示している。なお、エクステンション領域を形成する際には、ドーパント不純物としてボロンを用い、加速エネルギーを 0.3 keV とし、ドーズ量を $8 \times 10^{14}\text{ cm}^{-2}$ とした。

【 0 1 0 7 】

図 9 から分かるように、灰化処理の際に O_2 ガスのみを用いた場合には、エクステンション領域の電気抵抗は低く抑えられている。

【 0 1 0 8 】

また、図 9 から分かるように、灰化処理時間が長くなるに伴って、エクステンション領域における電気抵抗は大きくなる傾向がある。

【 0 1 0 9 】

図 8 と図 9 とから分かるように、灰化処理時間が短いほど、半導体基板の酸化量は小さくなる傾向にあり、エクステンション領域における電気抵抗は小さくなる傾向にある。このことから、灰化処理時間を短く設定することにより、エクステンション領域における電気抵抗を小さく抑え得ることがわかる。

【 0 1 1 0 】

図 1 0 は、APM液による薬液処理の時間とポリシリコンのエッチング量との関係を示すグラフである。横軸は、APM液による薬液処理の時間を示している

。縦軸は、ポリシリコンのエッチング量を示している。

【 0 1 1 1 】

図 1 0 から分かるように、A P M 液による薬液処理時間を短くすることにより、半導体基板表面が大きくエッチングされてしまうのを抑制し得ることが分かる。

【 0 1 1 2 】

図 1 1 は、A P M 液による薬液処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸は、A P M 液による薬液処理の時間を示している。縦軸は、エクステンション領域における電気抵抗を示している。なお、エクステンション領域を形成する際には、ドーパント不純物としてボロンを用い、加速エネルギーを 0.2 keV とし、ドーズ量を $8 \times 10^{14} \text{ cm}^{-2}$ とした。薬液処理の際には、まず、S P M 液による薬液処理を 2 0 分を行い、この後、A P M 液による薬液処理を行った。

【 0 1 1 3 】

図 1 1 から分かるように、A P M 液による薬液処理の時間が短いほど、エクステンション領域における電気抵抗は小さくなる傾向がある。

【 0 1 1 4 】

図 1 0 と図 1 1 とから分かるように、A P M 液による薬液処理の時間が短いほど、A P M 液による半導体基板表面のエッチング量は小さくなる傾向があり、エクステンション領域における電気抵抗は小さくなる傾向がある。このことから、A P M 液による薬液処理の時間を短く設定することにより、エクステンション領域における電気抵抗を低く抑え得ることが分かる。

【 0 1 1 5 】

図 1 2 は、エクステンション領域中のドーパント不純物を活性化するための熱処理の前処理における A P M 液による洗浄処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。横軸はエクステンション領域中のドーパント不純物を活性化するための熱処理の前処理における A P M 液による洗浄処理の時間を示している。縦軸は、エクステンション領域における電気抵抗を示している。

【 0 1 1 6 】

図 1 2 から分かるように、A P M 液による洗浄時間が短いほど、エクステンション領域における電気抵抗は小さくなる傾向にある。

【 0 1 1 7 】

図 1 3 は、本実施形態による半導体装置と従来の半導体装置とを比較した断面図である。図 1 3 は、T E M 写真である。図 1 3 における紙面左側は、従来の半導体装置の場合を示している。図 1 3 における紙面右側は、本実施形態による半導体装置の場合を示している。

【 0 1 1 8 】

図 1 3 から分かるように、従来の半導体装置では、ゲート電極直下における半導体基板の表面の高さに対して、エクステンション領域における半導体基板表面の高さは、6. 6 n m 低くなっている。

【 0 1 1 9 】

これに対し、本実施形態による半導体装置では、ゲート電極 2 0 直下における半導体基板 1 0 の表面の高さに対して、エクステンション領域 2 8 における半導体基板 1 0 表面の高さは、4. 8 n m 低くなっている。即ち、本実施形態では、エクステンション領域 2 8 のエッチング量が、従来と比較して 3 0 % 程度抑制されていることが分かる。

【 0 1 2 0 】

このことから、本実施形態によれば、エクステンション領域がエッチングされてしまうのを抑制し得ることが分かる。

【 0 1 2 1 】

図 1 4 は、ロールオフ特性を示すグラフである。横軸は、ゲート長 L_{sem} を示している。縦軸は、しきい値電圧 V_{th} を示している。なお、ロールオフ特性を測定する際のドレイン電圧 V_d は、 $-1 V$ とした。●印は本実施形態による半導体装置の場合を示している。■印は、本実施形態による半導体装置のうちで最も特性が良好なものの場合を示している。○印は、従来の半導体装置の場合を示している。

【 0 1 2 2 】

図 1 4 から分かるように、本実施形態による半導体装置では、従来の半導体装置と同様に、良好なロールオフ特性が得られている。

【 0 1 2 3 】

図 1 5 は、飽和電流 I_{on} とリーク電流 I_{off} との関係を示すグラフである。横軸は、飽和電流 I_{on} を示している。縦軸はリーク電流 I_{off} を示している。●印は本実施形態による半導体装置の場合を示している。■印は、本実施形態による半導体装置のうちで最も特性が良好なものの場合を示している。○印は、従来の半導体装置の場合を示している。

【 0 1 2 4 】

図 1 4 から分かるように、本実施形態では、従来と比較して、大きな飽和電流が得られることが分かる。

【 0 1 2 5 】

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 1 2 6 】

例えば、上記実施形態では、APM液を用いてフォトレジスト膜 2 2、3 0 を除去する際に薬液処理時間を短く設定したが、本発明の原理は、APM液を用いてフォトレジスト膜 2 2、3 0 を除去する場合に限定されるものではなく、フォトレジスト膜 2 2、3 0 を除去する際に他の薬液を用いる場合にも適用することができる。

【 0 1 2 7 】

また、上記実施形態では、エクステンション領域中のドーパント不純物を活性化するための熱処理の前処理におけるAPM液による洗浄処理において洗浄処理時間を短く設定したが、本発明の原理は、APM液を用いて洗浄処理を行う場合に限定されるものではなく、半導体基板 1 0 表面を洗浄する際に他の薬液を用いる場合にも適用することができる。

【 0 1 2 8 】

また、上記実施形態では、フォトレジスト膜を剥離する際に、 O_2 ガスより成る反応ガスと CF_4 ガスより成る他の反応ガスとフォーミングガスとから成る混

合ガスを用いる場合を例に説明したが、他の反応ガスは CF_4 ガスに限定されるものではなく、フォトリソ膜の剥離を促進しうるガスを適宜用いることができる。例えば、他の反応ガスとして、フッ素原子又は水素原子を含むガスを適宜用いることができる。具体的には、他の反応ガスとして、 CF_4 ガスの他に、 H_2 ガス、 NF_3 ガス、 H_2O ガス、 CHF_3 ガス等を用いることができる。

【 0 1 2 9 】

(付記 1) 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

前記第 1 のレジスト膜を灰化する第 1 の灰化处理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記第 2 のレジスト膜を灰化する第 2 の灰化处理工程とを有し、

前記第 1 の灰化处理工程における灰化处理時間は、前記第 2 の灰化处理工程における灰化处理時間より短い

ことを特徴とする半導体装置の製造方法。

【 0 1 3 0 】

(付記 2) 付記 1 記載の半導体装置の製造方法において、

前記第 1 の灰化处理工程における灰化处理時間は、前記第 2 の灰化处理工程における灰化处理時間の 0.7 倍以下である

(付記 3) 付記 2 記載の半導体装置の製造方法において、

前記第 1 の灰化処理工程における灰化処理時間は、前記第 2 の灰化処理工程における灰化処理時間の 0.5 倍以下である

ことを特徴とする半導体装置の製造方法。

【0131】

(付記 4) 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

酸素より成る反応ガスを用いて前記第 1 のレジスト膜を灰化する第 1 の灰化処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

酸素より成る反応ガスと他の反応ガスとを含む混合ガスを用いて前記第 2 のレジスト膜を灰化する第 2 の灰化処理工程とを有する

ことを特徴とする半導体装置の製造方法。

【0132】

(付記 5) 付記 4 記載の半導体装置の製造方法において、
前記他の反応ガスは、フッ素原子又は水素原子を含むガスであることを特徴とする半導体装置の製造方法。

【0133】

(付記 6) 付記 4 又は 5 記載の半導体装置の製造方法において、
前記混合ガスは、フォーミングガスを更に含む

ことを特徴とする半導体装置の製造方法。

【 0 1 3 4 】

(付記 7) 半導体基板に形成された第 1 の素子領域上及び第 2 の素子領域上に、ゲート絶縁膜を介してそれぞれゲート電極を形成する工程と、

前記半導体基板上及び前記ゲート電極上に、前記第 1 の素子領域が開口されている第 1 のレジスト膜を形成する工程と、

前記第 1 のレジスト膜及び前記ゲート電極をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 1 の不純物拡散領域を形成する工程と、

前記第 1 のレジスト膜を灰化する第 1 の灰化处理工程と、

前記第 1 のレジスト膜を薬液を用いて除去する第 1 の薬液処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記半導体基板上、前記ゲート電極上及び前記サイドウォール絶縁膜上に、前記第 1 の素子領域が開口されている第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記第 1 の素子領域にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記第 2 のレジスト膜を灰化する第 2 の灰化处理工程と、

前記第 2 のレジスト膜を薬液を用いて除去する第 2 の薬液処理工程とを有し、

前記第 1 の薬液処理工程における薬液処理時間は、前記第 2 の薬液処理工程における薬液処理時間より短い

ことを特徴とする半導体装置の製造方法。

【 0 1 3 5 】

(付記 8) 付記 7 記載の半導体装置の製造方法において、

前記第 1 の薬液処理工程における薬液処理時間は、前記第 2 の薬液処理工程における薬液処理時間の 0.7 倍以下である

ことを特徴とする半導体装置の製造方法。

【 0 1 3 6 】

(付記 9) 付記 8 記載の半導体装置の製造方法において、

前記第 1 の薬液処理工程における薬液処理時間は、前記第 2 の薬液処理工程における薬液処理時間の 0.5 倍以下である

ことを特徴とする半導体装置の製造方法。

【0137】

(付記 10) 付記 7 乃至 9 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第 1 のレジスト膜を除去し、

前記第 2 の薬液処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記第 2 のレジスト膜を除去する

ことを特徴とする半導体装置の製造方法。

【0138】

(付記 11) 付記 7 乃至 10 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の灰化処理工程の後、前記第 1 の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第 1 のレジスト膜を除去する第 3 の薬液処理工程を更に有し、

前記第 2 の灰化処理工程の後、前記第 2 の薬液処理工程の前に、硫酸と過酸化水素とが混合されて成る薬液を用いて、前記第 2 のレジスト膜を除去する第 4 の薬液処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0139】

(付記 12) 半導体基板にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に第 1 の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第 1 の洗浄処理工程と、

前記第 1 の不純物拡散領域中の前記第 1 のドーパント不純物を活性化するため

の熱処理を行う第 1 の熱処理工程と、

前記ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板内にドーパント不純物を導入することにより、第 2 の不純物拡散領域を形成する工程と、

前記半導体基板を薬液を用いて洗浄する第 2 の洗浄処理工程と、

前記第 2 の不純物拡散領域中の前記第 2 のドーパント不純物を活性化するための熱処理を行う第 2 の熱処理工程とを有し、

前記第 1 の洗浄処理工程における洗浄処理時間は、前記第 2 の洗浄処理工程における洗浄処理時間より短い

ことを特徴とする半導体装置の製造方法。

【 0 1 4 0 】

(付記 1 3) 付記 1 2 記載の半導体装置の製造方法において、

前記第 1 の洗浄処理工程における洗浄処理時間は、前記第 2 の洗浄処理工程における洗浄処理時間の 0. 7 倍以下である

ことを特徴とする半導体装置の製造方法。

【 0 1 4 1 】

(付記 1 4) 付記 1 3 記載の半導体装置の製造方法において、

前記第 1 の洗浄処理工程における洗浄処理時間は、前記第 2 の洗浄処理工程における洗浄処理時間の 0. 5 倍以下である

ことを特徴とする半導体装置の製造方法。

【 0 1 4 2 】

(付記 1 5) 付記 1 2 乃至 1 4 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の洗浄処理工程及び前記第 2 の洗浄処理工程では、アンモニアと過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板をそれぞれ洗浄することを特徴とする半導体装置の製造方法。

【 0 1 4 3 】

(付記 1 6) 付記 1 2 乃至 1 5 のいずれかに記載の半導体装置の製造方法に

において、

前記第 1 の不純物拡散領域を形成する工程の後で前記第 1 の洗浄処理工程の前に、又は、前記第 1 の洗浄処理工程の後で前記第 1 の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第 3 の洗浄処理工程を更に有し、

前記第 2 の不純物拡散領域を形成する工程の後で前記第 2 の洗浄処理工程の前に、又は、前記第 2 の洗浄処理工程の後で前記第 2 の熱処理工程の前に、塩酸と過酸化水素と水とが混合されて成る薬液を用いて前記半導体基板を洗浄する第 4 の洗浄処理工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 1 4 4 】

【発明の効果】

以上の通り、本発明によれば、エクステンション領域を形成する際に用いられた第 1 のフォトリソ膜を除去する際の灰化処理時間を、深い不純物拡散領域を形成する際に用いられた第 2 のフォトリソ膜を除去するための灰化処理時間より短く設定する。このため、第 1 のフォトリソ膜を除去する際に、エクステンション領域が大きく酸化されてしまうのを防止することができる。一方、第 2 のフォトリソ膜を除去する際には、第 2 のフォトリソ膜を確実に除去しうよう灰化処理時間を長く設定する。第 2 のフォトリソ膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【 0 1 4 5 】

また、本発明によれば、エクステンション領域を形成する際に用いられた第 1 のフォトリソ膜を除去する際には、 O_2 ガスのみを用いて第 1 のフォトリソ膜を灰化し、深い不純物拡散領域を形成する際に用いられた第 2 のフォトリソ膜を除去する際には、混合ガスを用いて第 2 のフォトリソ膜を灰化す

る。O₂ガスのみを用いて第1のフォトリジスト膜を灰化するため、エクステンション領域が大きく酸化されてしまうのを防止することができる。一方、第2のフォトリジスト膜を除去する際には、第2のフォトリジスト膜を確実に除去しよう混合ガスを用いて第2のフォトリジスト膜を灰化する。第2のフォトリジスト膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【 0 1 4 6 】

また、本発明によれば、第1のフォトリジスト膜を除去する際のAPM液による薬液処理時間を、第2のフォトリジスト膜を除去する際のAPM液による薬液処理時間より短く設定する。このため、第1のフォトリジスト膜を除去する際に、エクステンション領域が大きく除去されてしまうのを防止することができる。一方、第2のフォトリジスト膜を除去する際には、第2のフォトリジスト膜を確実に除去しようAPM液による薬液処理を十分な時間で行う。第2のフォトリジスト膜を除去する際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きくエッチングされてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【 0 1 4 7 】

また、本発明によれば、エクステンション領域中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による第1の洗浄処理の時間を、深い不純物拡散領域中のドーパント不純物を活性化するための熱処理の前に行われるAPM液による第2の洗浄処理の時間より、短く設定する。このため、第1の洗浄処理の際に、エクステンション領域が大きくエッチングされてしまうのを防止することができる。一方、第2の洗浄処理の際には、パーティクルや有機系の不純物を確実に除去しようAPM液による洗浄処理を長く設定する。第2の

洗浄処理の際には、エクステンション領域のうちのゲート電極に近い部分はサイドウォール絶縁膜により覆われているため、エクステンション領域のうちのゲート電極に近い部分が大きく酸化されてしまうことはない。従って、本発明によれば、エクステンション領域における電気抵抗を低く抑えることができ、良好な電気的特性を有する半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 6】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 7】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 8】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 8）

である。

【図 9】

フォトレジスト膜に対する灰化处理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図 1 0】

A P M 液による薬液処理の時間とポリシリコンのエッチング量との関係を示すグラフである。

【図 1 1】

A P M 液による薬液処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図 1 2】

A P M 液による洗浄処理の時間とエクステンション領域における電気抵抗との関係を示すグラフである。

【図 1 3】

本発明の一実施形態による半導体装置と従来の半導体装置とを比較した断面図である。

【図 1 4】

ロールオフ特性を示すグラフである。

【図 1 5】

飽和電流とリーク電流との関係を示すグラフである。

【符号の説明】

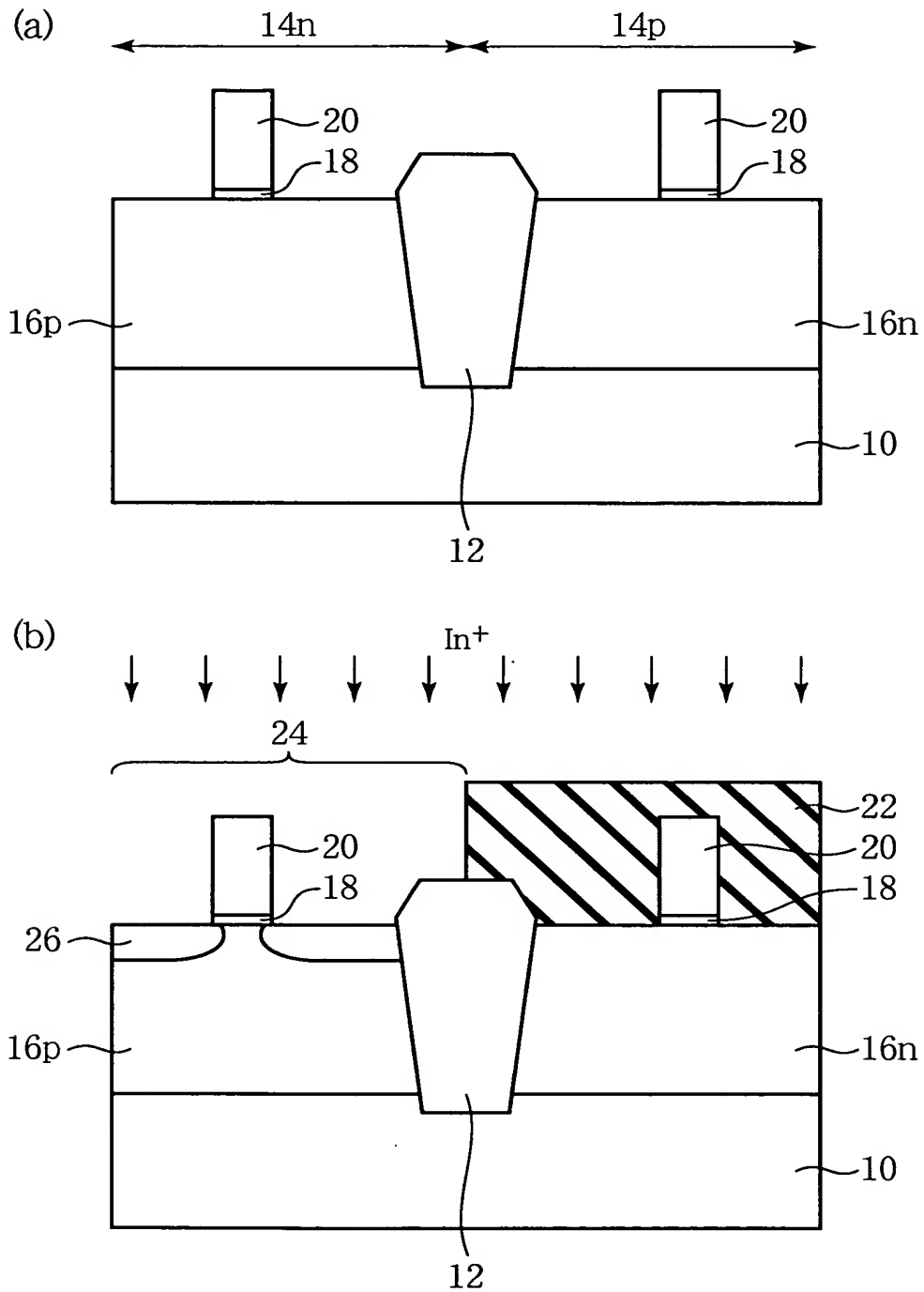
- 1 0 … 半導体基板
- 1 2 … 素子分離領域
- 1 4 n … N M O S トランジスタが形成される領域
- 1 4 p … P M O S トランジスタが形成される領域
- 1 6 n … n 形ウェル
- 1 6 p … p 形ウェル
- 1 8 … ゲート絶縁膜
- 2 0 … ゲート電極

2 2 … フォトレジスト膜
2 4 … 開口部
2 6 … ポケット領域
2 8 … エクステンション領域
3 0 … フォトレジスト膜
3 2 … 開口部
3 4 … ポケット領域
3 6 … 不純物拡散領域
3 8 … シリコン酸化膜
4 2 … サイドウォール絶縁膜
4 4 … フォトレジスト膜
4 6 … 開口部
4 8 … 不純物拡散領域
5 0 … ソース／ドレイン拡散層
5 2 … フォトレジスト膜
5 4 … 開口部
5 6 … 不純物拡散領域
5 8 … ソース／ドレイン拡散層
6 0 … 金属膜
6 2 … ソース／ドレイン電極
6 4 n … NMOS トランジスタ
6 4 p … PMOS トランジスタ

【書類名】 図面

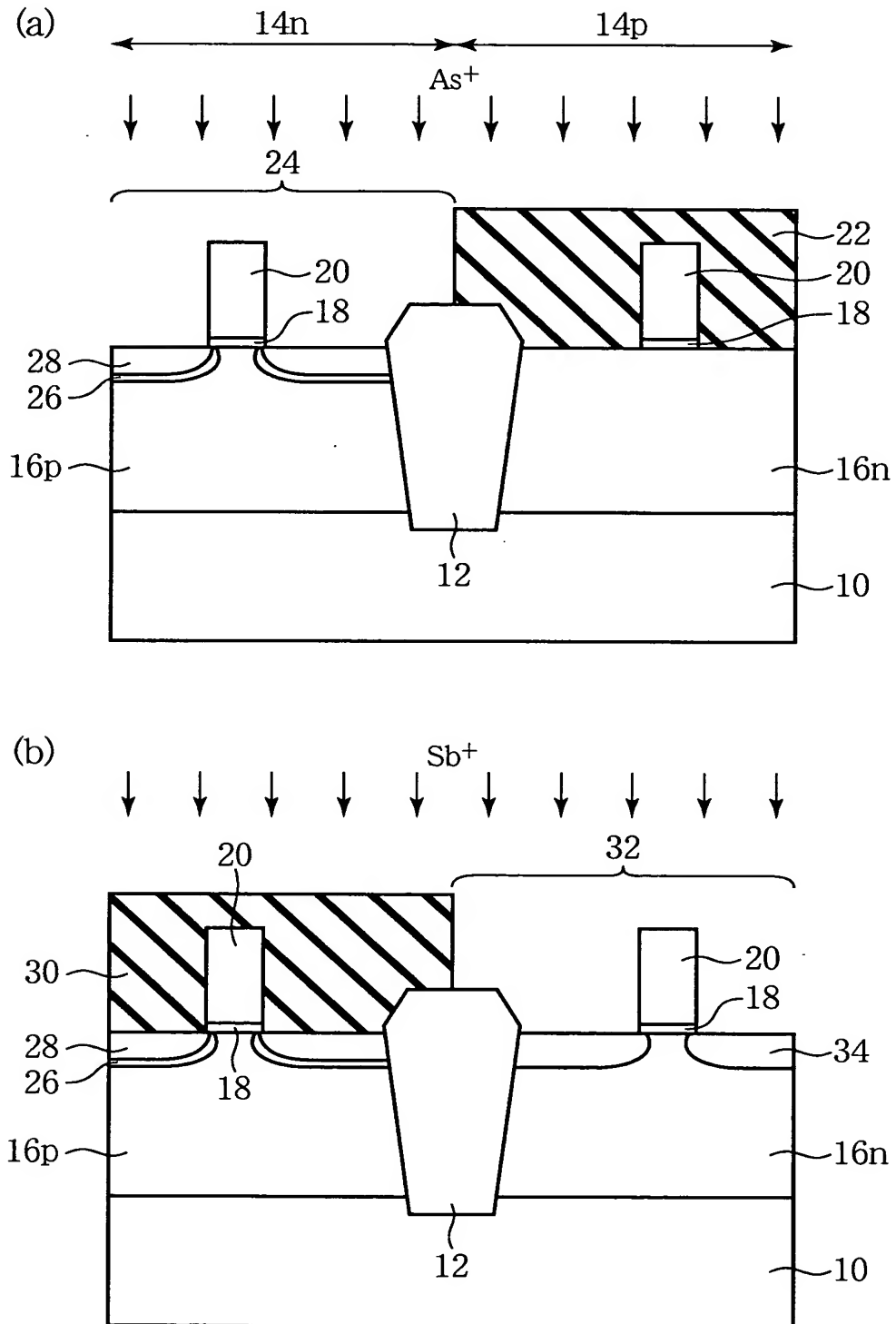
【図 1】

本発明の実施形態による半導体装置の製造方法を示す
工程断面図(その1)



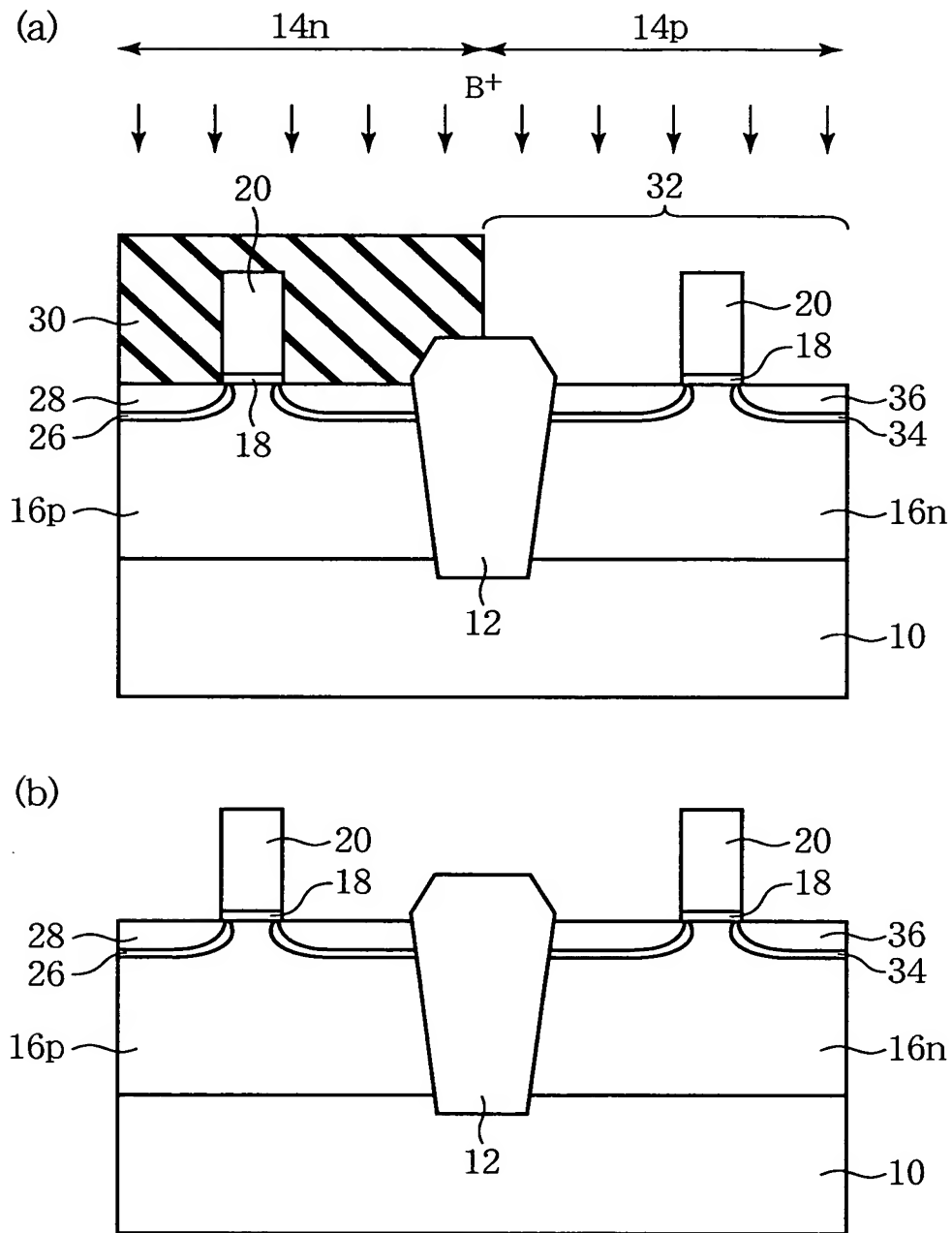
【図 2】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その2)



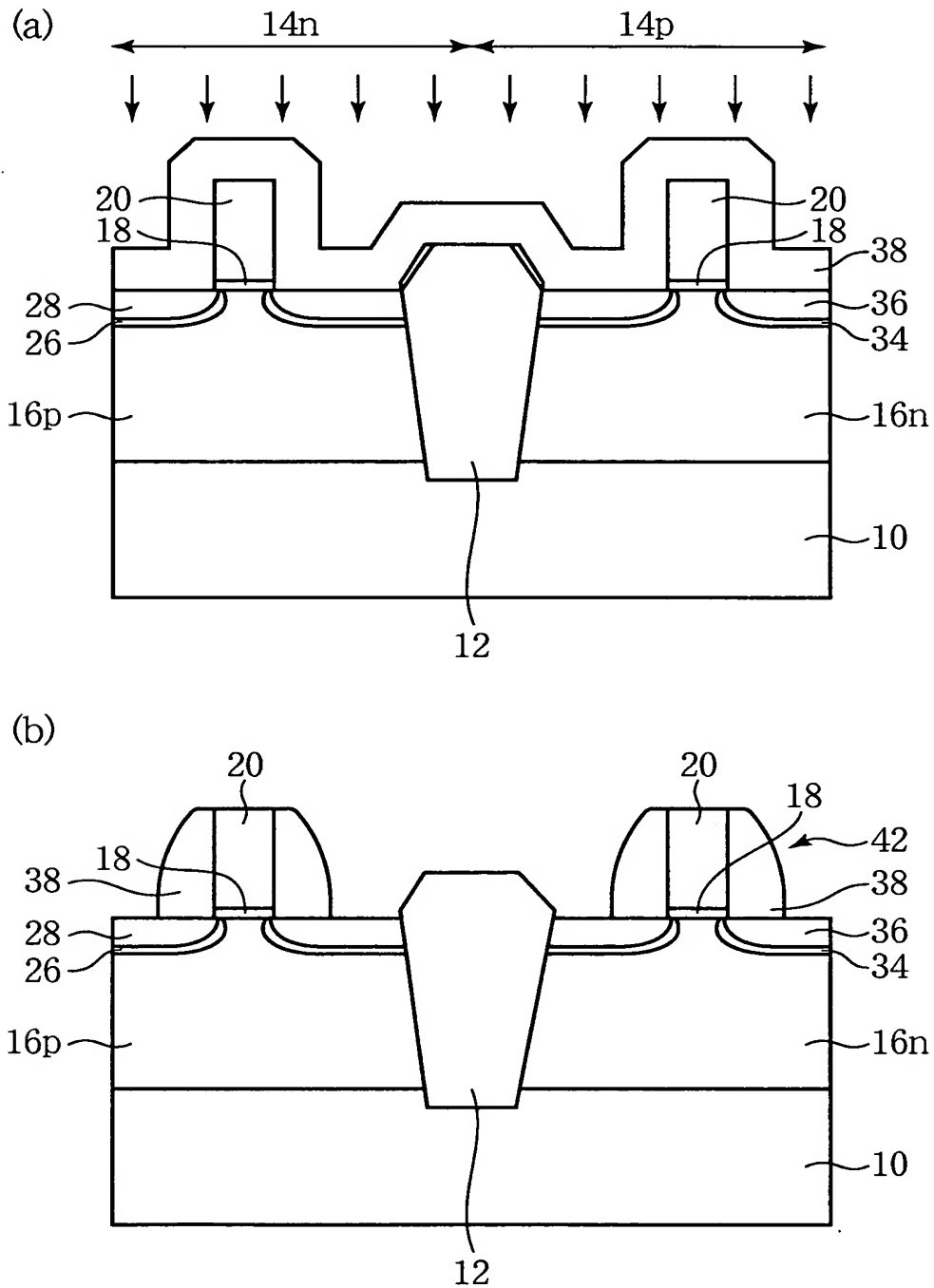
【図 3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その3)



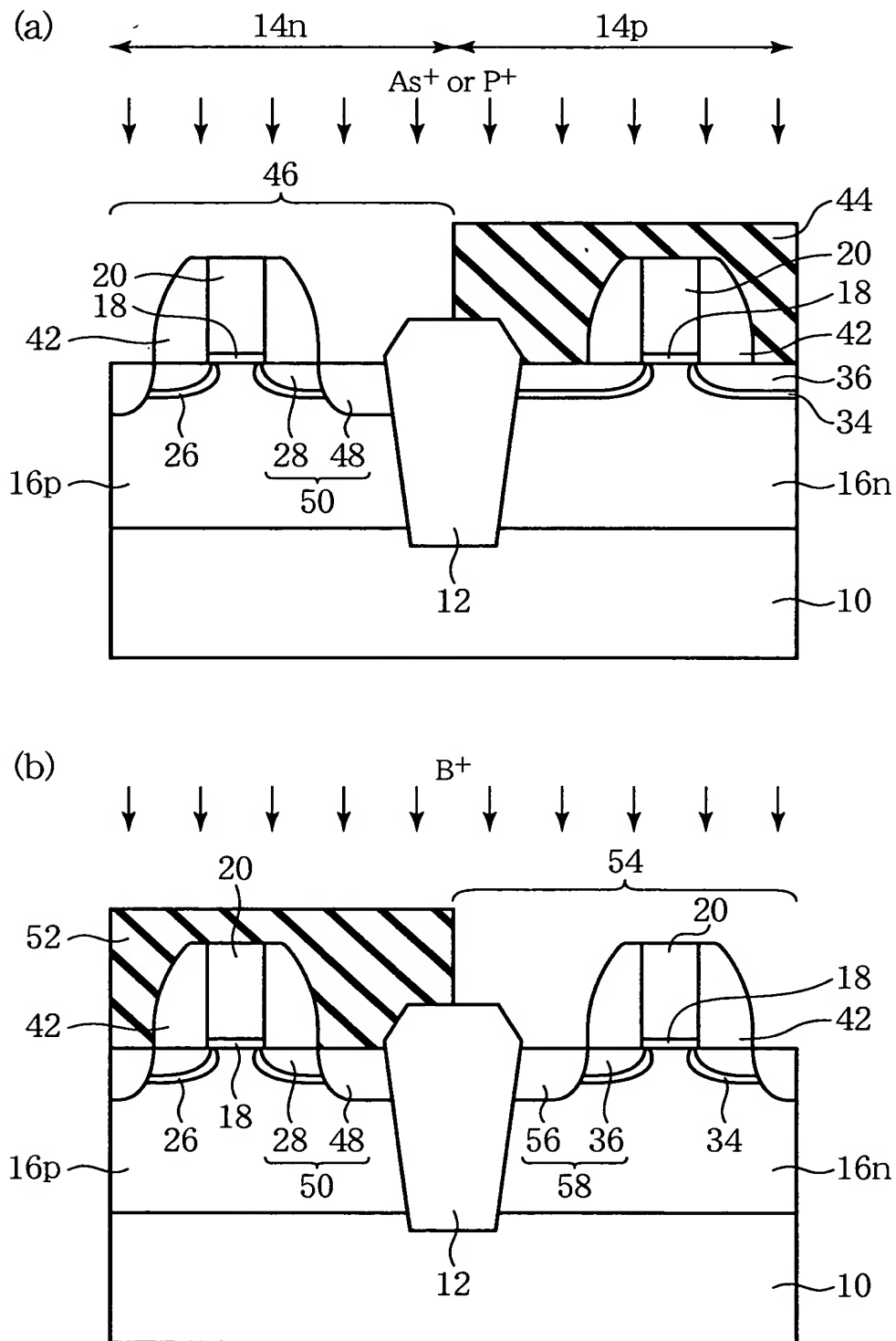
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その4)



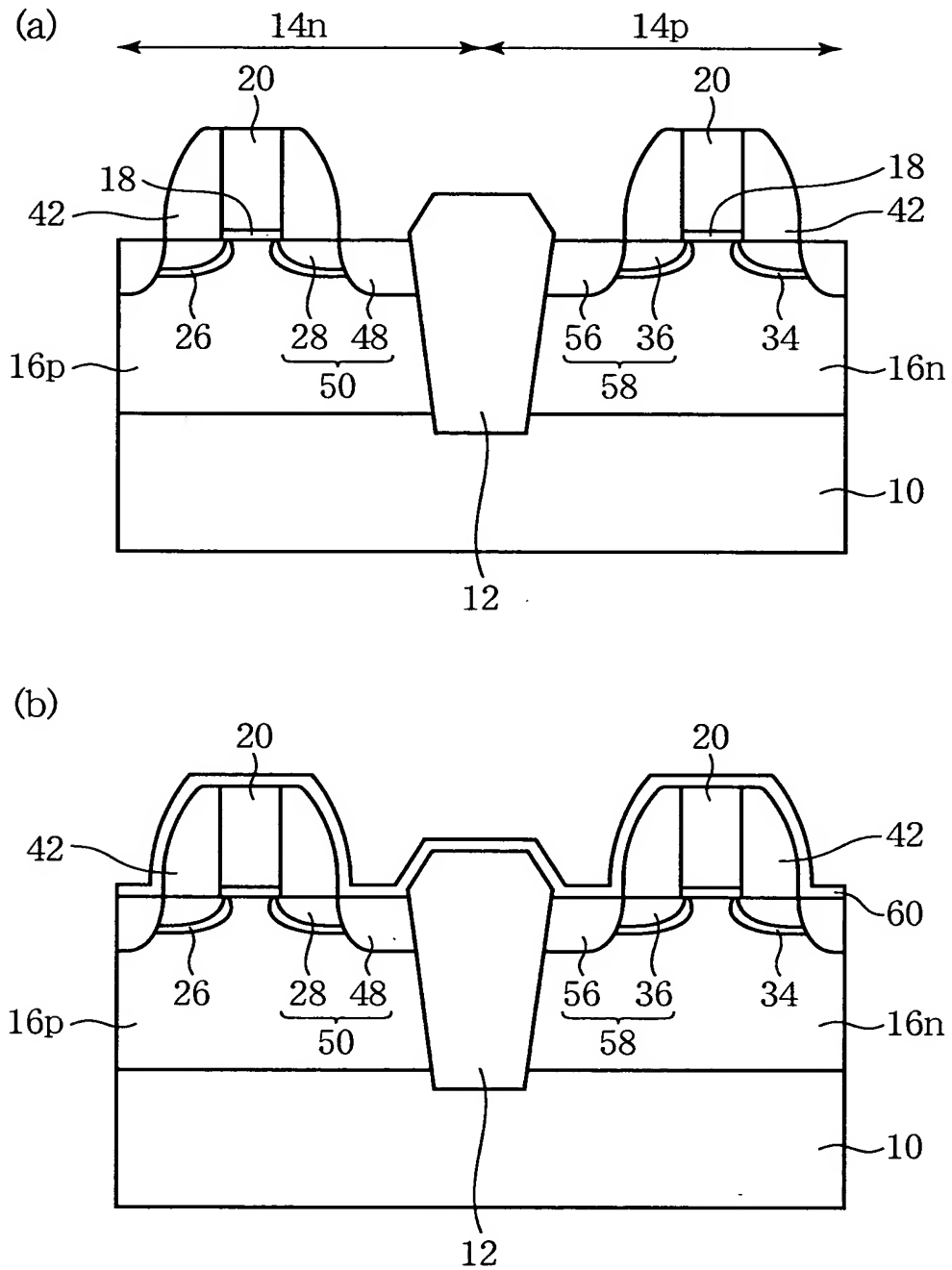
【図 5】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その5)



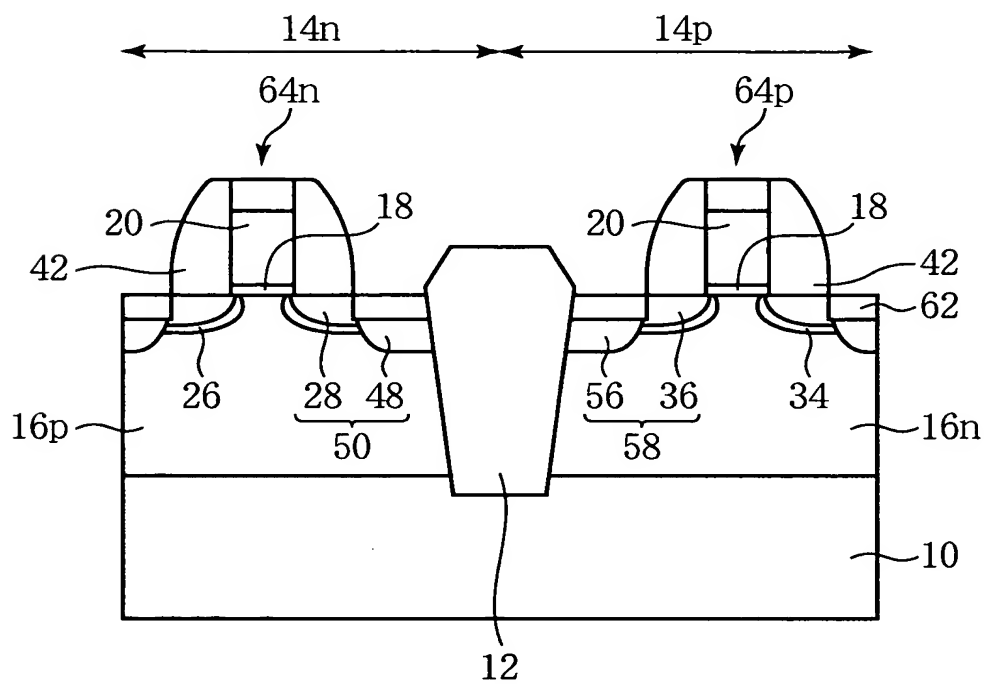
【図 6】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その6)



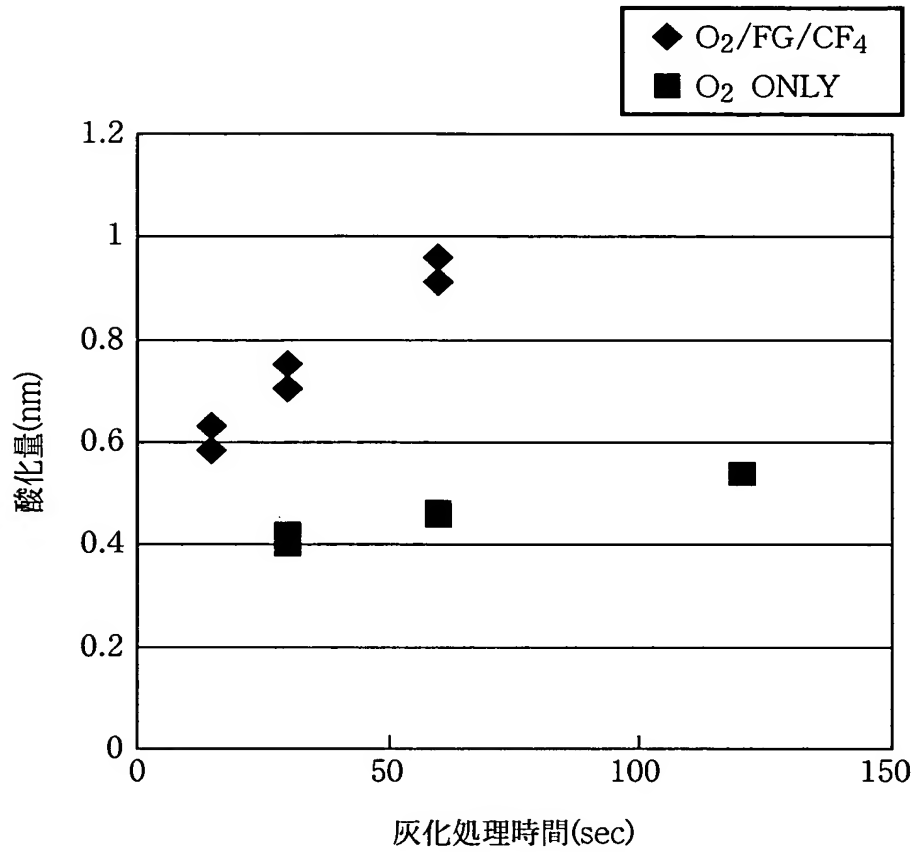
【図 7】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その7)



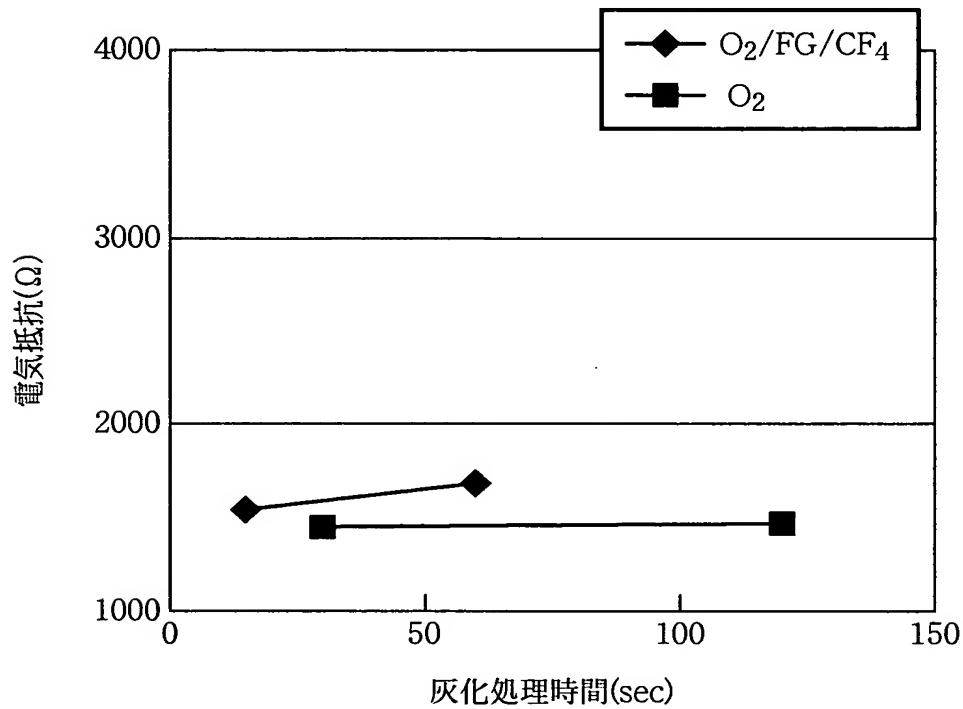
【図 8】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その8)



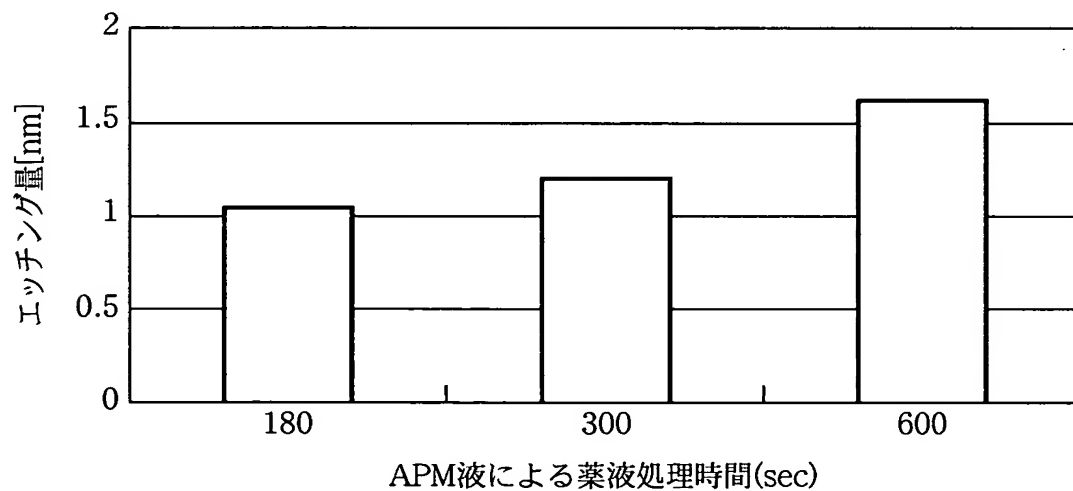
【図 9】

フォトリジスト膜に対する灰化処理の時間と
エクステンション領域における電気抵抗との関係を示すグラフ



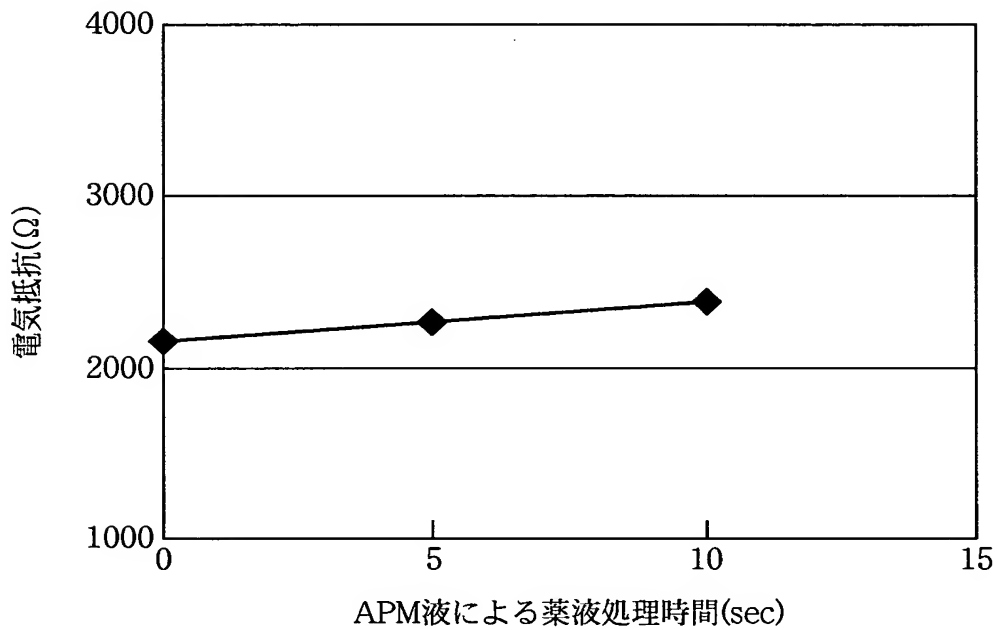
【図 1 0】

APM液による薬液処理の時間とポリシリコンのエッチング量との
関係を示すグラフ



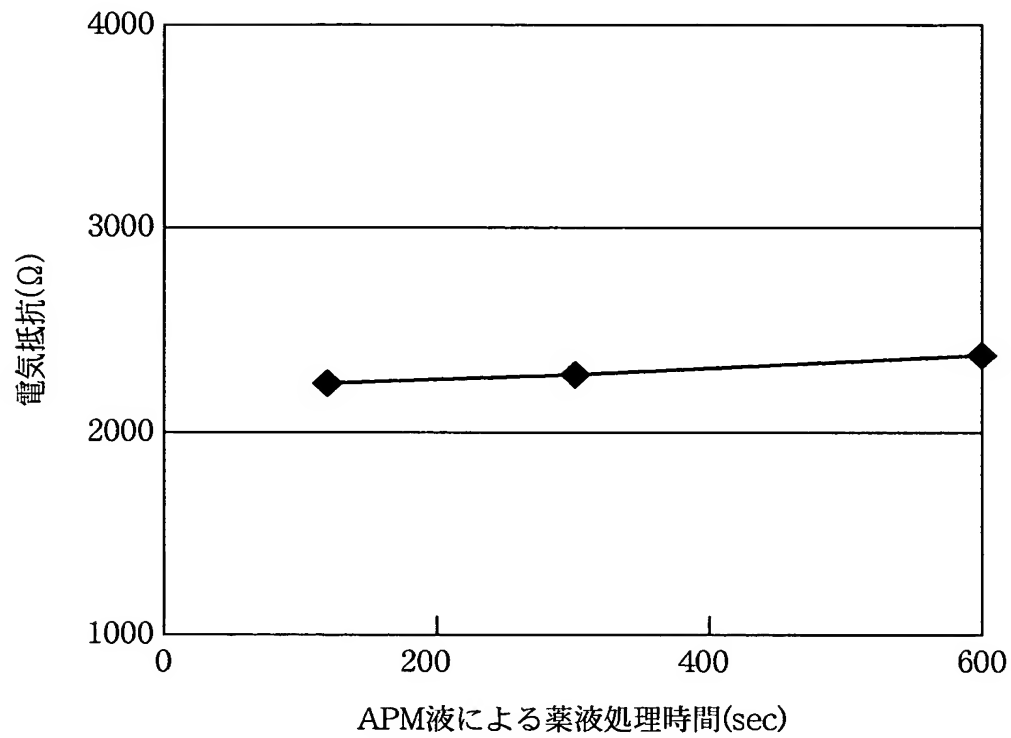
【図 1 1】

APM液による薬液処理の時間とエクステンション領域における
電気抵抗との関係を示すグラフ



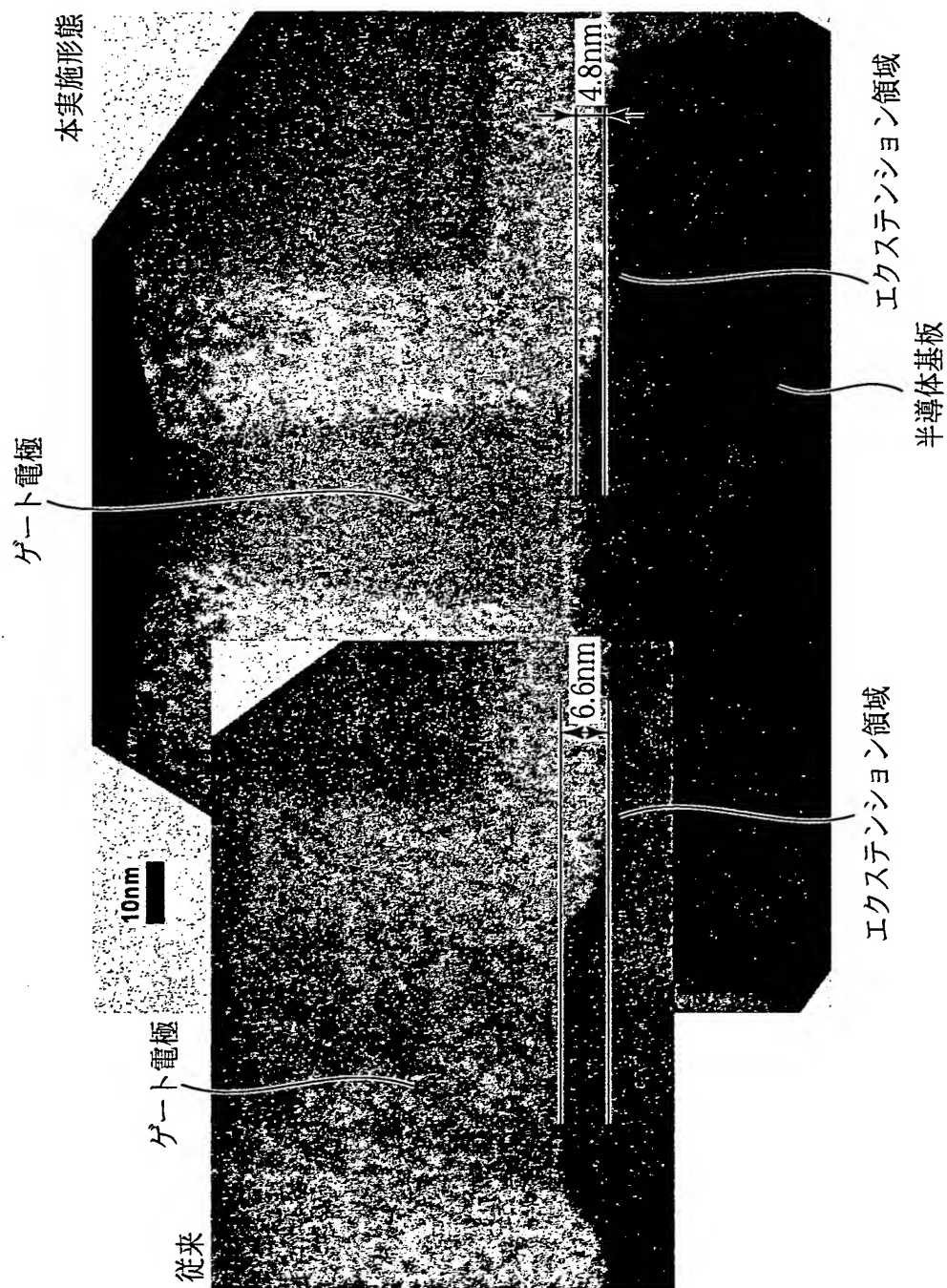
【図 1 2】

APM液による洗浄処理の時間とエクステンション領域における
電気抵抗との関係を示すグラフ



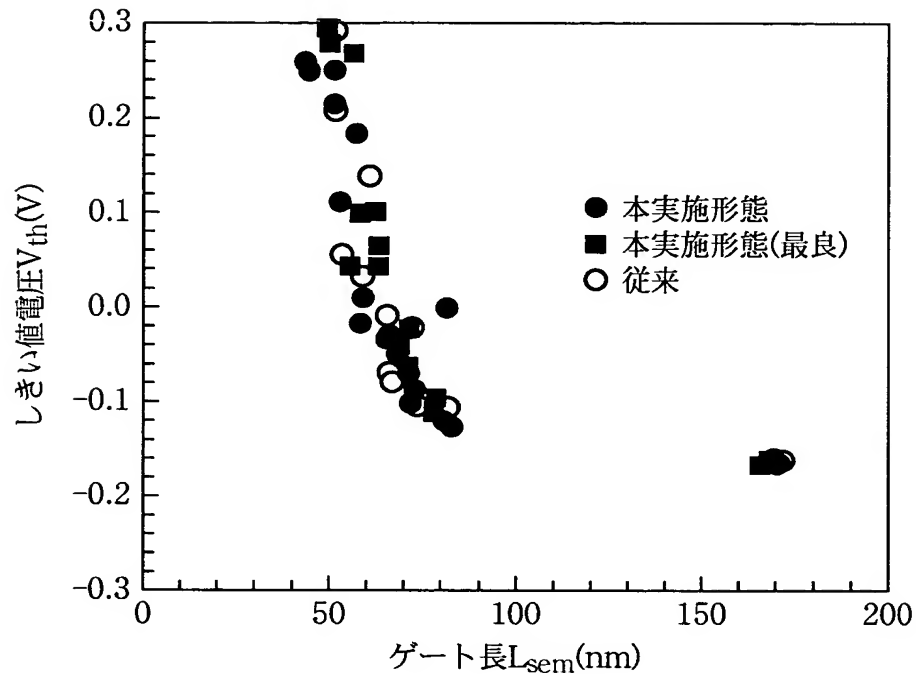
【図13】

本発明の一実施形態による半導体装置と
従来の半導体装置とを比較した断面図



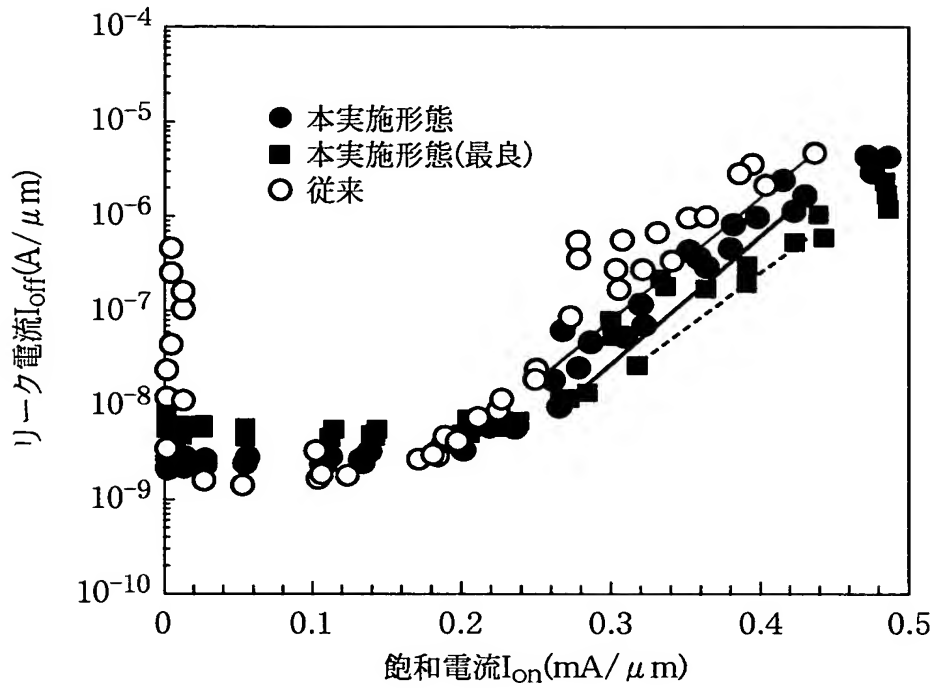
【図 1 4】

ロールオフ特性を示すグラフ



【図 1 5】

飽和電流とリーク電流との関係を示すグラフ



【書類名】 要約書

【要約】

【課題】 エクステンション領域における電気抵抗を低く抑制しうる半導体装置の製造方法を提供する。

【解決手段】 第1の素子領域14n上及び第2の素子領域14p上にゲート電極20を形成する工程と、第1の素子領域が開口されている第1のレジスト膜22を形成する工程と、第1のレジスト膜及びゲート電極をマスクとして、第1の不純物拡散領域を形成する工程と、第1のレジスト膜を灰化する第1の灰化処理工程と、ゲート電極の側壁部分にサイドウォール絶縁膜を形成する工程と、第1の素子領域が開口されている第2のレジスト膜を形成する工程と、第2のレジスト膜、ゲート電極及びサイドウォール絶縁膜をマスクとして、第2の不純物拡散領域を形成する工程と、第2のレジスト膜を灰化する第2の灰化処理工程とを有し、第1の灰化処理工程における灰化処理時間は、第2の灰化処理工程における灰化処理時間より短い。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社